

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

English Translation of Japanese Patent Laid-Open No. 58-27365

Published: February 18, 1983

Inventor(s): Shumpei Yamazaki

English translation of

(12) Japanese Laid-Open Patent (A) (11) No. Sho 58-27365

(43) LAID-OPEN DATE

February 18, 1983

(21) APPLICATION NUMBER

Sho 56-125004

(22) APPLICATION DATE

August 10, 1981

(72) INVENTOR Shumpei Yamazaki

7-21-21 Kitakarasuyama, Setagaya-ku, Tokyo

c/o Semiconductor Energy Laboratory, Co., Ltd.

(71) APPLICANT Semiconductor Energy Laboratory, Co., Ltd.

7-21-21 Kitakarasuyama, Setagaya-ku, Tokyo

(54) TITLE OF THE INVENTION

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE
SAME

Specification

1. TITLE OF THE INVENTION

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

2. Claims

- 5 1. A semiconductor device comprising:
 - a non-single crystalline semiconductor formed on a substrate;
 - a pair of impurity layers formed separate from each other on sides of said semiconductor;
 - a gate insulating material formed on said semiconductor; and
 - 10 a gate electrode formed on said insulating material.
 - 10 2. A method of manufacturing a semiconductor comprising the steps of:
 - forming a non-single crystalline semiconductor to form a channel forming region on a substrate and masks on said semiconductor;
 - covering said masks and forming a semiconductor having one conductivity type
 - 15 on said substrate or said semiconductor and also forming an field insulating material on said semiconductor layer;
 - removing said mask and said semiconductor layer at an outer periphery of said mask and said field insulating material to form a pair of impurity regions; and
 - forming a gate over said channel forming region.
 - 20 3. A semiconductor device according to claim 1 wherein a conductive metal is provided on the pair of impurities.
- ### 3. DETAILED DESCRIPTION OF THE INVENTION
- The present invention relates in general to an amorphous semiconductor (hereinafter abbreviated as AS), an semi-amorphous semiconductor with a short-range micro-crystallinity in an order of 5 Å through 200 Å (hereinafter abbreviated as SAS),

and a polycrystalline semiconductor (hereinafter called PCS) formed on a substrate, and more particularly to an insulated-gate field effect semiconductor device and its application structure using a non-single crystalline semiconductor device (NSCS) with a neutralized recombination center containing 0.01 through 10 mole% of hydrogen or a halogen-group element such as fluorine or a concentration of 10^{14} through $10^{18}/\text{cm}^3$ of 5 an alkali-metal element such as lithium, sodium, or potassium.

The present invention attempts to utilize the features of the plasma CVD method, to vapor-deposit an NSCS on such a substrate so that the resultant structure, specially as supported in the manufacturing process, may be easy to manufacture and very stable in 10 characteristics as compared to the conventional insulated-gate field effect semiconductor device (hereinafter abbreviated as IGFET). The present invention features in particular that a plurality of semiconductor devices are merged in a matrix on the same substrate, thus making it possible to place in a unit region an array having a largest possible number of image sensors or any other photoelectric converter in an idealistic structure.

15 —— The present invention includes non-single crystalline semiconductors such as AS, SAS, and PCS; and SAS in particular is described in the present inventor's application, i.e. Japanese Patent Application Laid-open Nos. Sho 56-065826 filed on April 4, 1981 and Sho 55-120322 filed on August 30, 1980 "Semi-amorphous Semiconductors." That is, the present inventor found experimentally that even for in particular an 20 amorphous-structured glass substrate or a polycrystalline-structured stainless substrate without single-crystallinity in a semiconductor, for example, silicon semiconductor, if given an optical energy of AM1 (100 mW/cm²), it has an electro-optical conductivity of 1×10^{-3} through $8 \times 10^{-2} /(\Omega\text{cm})$, which is 1/2 to 1/10, a very excellent value as compared to that of single crystalline silicon semiconductors. The contents of this 25 experiment is described in pages 142 to 144 of Appl. Phys. Lett 38 (3), 1981 or partially in page 422 of "1aSS, Observation and Opt-electrical Properties of the a-Si Structure Containing Micro-crystals" of the Twenty-eighth Applied-Physical Society Lecture

Meeting.

Conventionally, such a structure is known of an IGFET using an amorphous semiconductor that has a cross-sectional view shown in FIG. 1. As shown in FIG. 1, on an insulating substrate 1 are formed gate electrodes 3 and 13 made of a heat-resisting material, for example, molybdenum. Also, as a gate insulating film 11, silicon oxide is deposited by the CVD method to a thickness of 0.1 to 0.5 μ . Next, on this insulator film 11, an AS is formed by selectively etching only on channel-type gates 5 and 10. And, in an IGFET 11, n-type semiconductor layers 6 and 7 are formed using the selective photo-etching method. In a p-channel IGFET 2, aluminum is formed by the vacuum evaporation method and then etched selectively, to form a source 9 and a drain 8, thus completing a C/MOS FET.

In this structure, since the gate-insulating material 11 is formed by the CVD method, its density is not high enough, easily resulting in a short-circuit or leakage current between the gate electrode 3 and the semiconductor 5, so that the insulating material must be thick, e.g. 0.3 μ or larger. As a result, the gate voltage increases to 20 V to 60 V, thus making it totally impossible to drive the device at a so-called low voltage of 1.5 V to 5 V.

For an IGFET, it is necessary to align both ends of a gate electrode 15, both ends of the semiconductor 5, and one end of the source 6, the drain 7, precisely. However, if the substrate has irregularities in its surface, it is totally impossible to align them within a precision of 1 μ or less. Consequently, a tolerance of as large as 20 to 30 μ must be allowed for, resulting in an impracticable large drain voltage of 50 V to 70 V as well as large fluctuations in manufacturing. Moreover, on a surface 17 of the semiconductor 5 in contact with a so-called channel-formation region having a structure-sensitivity, there is tightly attached a semiconductor into which a p-type or n-type impurity is densely doped up to 0.5% to 2%, so that this region is subject to a short-circuit between the source 6 and the drain 7 unless that densely doped semiconductor is completely removed. However,

this region has the same main component as the underlying semiconductor 5 so that it is very difficult to selectively remove.

Also, since even such a structure with completed backside as shown in FIG. 1 is exposed to the air, it is totally impracticable industrially in terms of reliability and fluctuations in manufacturing in a structurally-sensitive semiconductor, mainly a SAS. With this, such a structure as shown in FIG. 1 is totally improper in application.

According to the present invention, an insulating material or a semiconductor with a high impurity concentration covers all of the upper surfaces, lower surfaces, and side surfaces of an NSCS in a channel-formation region. With this, the present invention 10 utilizes a structure sensitivity of this semiconductor, featuring an excellent gate control precision. Therefore, instead of conventional high-voltage drive systems using a voltage of 40 V to 80 V, the gate and the drain can both be controlled on a voltage of 5 V to 10 V and, moreover, they can essentially be driven on 1.5 V through its own structure.

Also, the present invention features such a structure as being easy to merge as well 15 as a matrix structure in which this type of IGFETs can be highly integrated. Moreover, by utilizing translucent glass-as-a-substrate having this structure, an image sensor can be provided which detects the optical degree on the substrate side.

A description is made of embodiments of the present invention with reference to the accompanying drawings.

20 First Embodiment

FIGs. 2A, 2B, 2C and 2D show a cross-sectional view of an IGFET according to the first embodiment of the present invention and the process to manufacture it.

As shown in FIG. 2A, An NSCS 20 is formed by the plasma CVD method to a thickness of 0.1 to 1.0μ on a substrate 1, i.e. an insulating and translucent glass-made or 25 stainless-made conductive substrate. To form this NSCS specifically, silane (e.g., mono-silane or poly-silane) or fluoro-silicon is diluted with a helium or hydrogen and then introduced into a reactor with a pressure of 0.01 to 10 torr, e.g. 0.3 torr. This

reactive gas on a substrate heated to 100 to 400°C, e.g. 300° undergoes glow discharge or arc discharge under an electromagnetic energy power of 5-200 W of a DC high-frequency (500 kHz to 50 MHZ, e.g. 13.56 MHZ) or a microwave (1 to 10 GHz, e.g. 2.45 GHz), so that these reactive gas and carrier gases are transformed into a plasma, 5 decomposed, and reacted with each other to form on the substrate an intrinsic or substantially intrinsic NSCS having a microcrysallinity.

As shown in FIG. 2B, according to the present invention, a current flowing between a source and a drain is in parallel with the substrate surface. Therefore, an NSCS according to the present invention was formed in such a way that the substrate surface 10 may be disposed in parallel with the direction of a glow-discharge or arc-discharge electrodes in order to maximize the horizontal electrical conductivity.

These NSCSs in the same reactor, although dependent on the formation temperature, can be classified into an AS range with a power, e.g. 5-30 W, into an intermediate range with 20-30 W, and into a SAS range with 30-80 W, and also into a PCS range with 80 15 W or more at a temperature of 400°C or higher.

Among these in particular, an AS has a short-range ordering (any rules) but no crystallinity, while an SAS has a crystallinity of a 5-200 Å short-range order. To these semiconductor devices, a recombination center neutralizer made of hydrogen or a halogen-group element such as fluorine which neutralizes the unpaired bonds of a silicon 20 semiconductor is added as much as 0.01 to 5 moles in percentage. Also, to neutralize unpaired bonds of this SAS which cannot be offset by such a neutralizer down to a concentration of 10^{13} to $10^{16}/\text{cm}^3$, an alkali metal such as lithium, sodium, or potassium having a concentration of 10^{14} to $10^{17}/\text{cm}^3$ may be added to provide an appropriate anti-radiation properties and frequency response.

25 Thus formed SAS showed in experiment a dark conductivity of 1×10^{-5} to 3×10^{-3} $/(\Omega\text{cm})$ and a photo-conductivity of 1×10^{-3} to $8 \times 10^{-2}/(\Omega\text{cm})$ under the AM1 conditions. The AS, on the other hand, showed a dark conductivity of 10^{-10} to $10^{-6}/(\Omega\text{cm})$ and a

photo-conductivity of 10^{-1} to 3×10^4 / (Ωcm) .

These AS and SAS may be divided upon practical use.

At a step of FIG. 2A, a mask 21 was selectively formed into a thickness of 1 to 5μ using a first photo-mask (1). This may alternatively be a silicon oxide or heat-resisting organic resin, e.g. polyimide film or PIQ by use of the vacuum plasma CVD method.

Using this mask 21, the other regions of the NSCS 20 were removed.

Then, on the upper surface, an AS or SAS semiconductor layer is formed to a thickness of 0.1 to 1.0μ using the same plasma CVD method as the semiconductor 20. At the same time, to form an n-channel or p-channel IGFET, a pentavalent impurity, i.e. phosphorous and a trivalent impurity boron were added by as much as 0.2 to 2% to n-type and p-type regions of a semiconductor 25 respectively.

Then, using a photo-mask (1'), this semiconductor 25 may be selectively removed and formed into islands on the substrate.

Thus, such a structure as shown in FIG. 1A was obtained.

At a step of FIG. 2B, in the structure of FIG. 2B, a mask 21 was given a slight microwave application and then removed in an etchant. This resulted in a pair of one conductivity type semiconductor layers 29 and 30 as source and drain formed in regions 26 and 27 respectively. Also, on these regions, as a field insulating material a silicon oxide or a polyimide resin film was formed to a thickness of 0.1 to 1.0μ , thus creating such a structure as shown in FIG. 2.

Then, a gate insulating material was formed to a thickness of 300-2000 Å using the plasma oxidation method. That is, oxygen or oxidizing gas was decomposed and activated using a microwave of 2.45 GHz (with a power of 100-500 W). Into thus activated oxidizing gas, a substrate was placed at a temperature of 300-500°C, to form a silicon-oxide in its surface when the oxidizing material in particular the SAS 20 is silicon.

This gate insulating material 33 may be made of silicon nitride or alumina film

formed using the plasma CVD method. Also, the gate insulating material may be formed into a 2-layer or 3-layer structure, or a semiconductor or metal cluster or film may be formed as a charge-capture center to provide a non-volatile memory device. These are all modified elements of publicly known IGFETs or non-volatile memories.

5 Next, using a second photo-mask (2), a filed insulating material for an electrode-contact opening 32 is selectively removed.

Thus, such a structure as shown in FIG. 2C was obtained.

Then, as shown in FIG. 2B, using a photo-mask (3), an electrode lead 36 and the gate electrode 35 were formed by selectively removed a film formed using the publicly 10 known vacuum evaporation method or the electroless plating method.

Thus, an IGFET was created. Also, to provide a second wiring, on the surface of this IGFET, a heat-resisting organic resin 65 such as PIQ was coated; and an electrode window 66 was formed using a photo-mask (4) and a second wiring 67, using a photo-mask (5).

15 As can be seen from the drawings, electrode leads were all formed on the upper surface of an NSCS, so as to form the IGFET using only four photo-masks if including (1') and only three photo-masks otherwise. In addition, a pair of impurity layers constituting a source 29 and a drain 30 surrounds the sides of a semiconductor layer 20 having channel forming regions. Also, the semiconductor layer 20 was enclosed by a substrate 20-1 and a gate insulating material 33 at its lower surface and upper surface respectively, so that its structure-sensitive semiconductor 20 was not exposed to the air. Moreover, both ends 38 of a gate electrode 33 and one end 37 of the source 29 and that of the drain 30 could be self-aligned conversion-efficiently to align the source, the drain, the gate insulating material, and the gate electrode with a high precision with an overlap error of 25 1 μ or less between the gate electrode 33 and the drain 30, thus resulting in a high-speed response of 10 MHZ or higher with a small parasitic capacitance despite the NSCS.

Second Embodiment

The vertical cross sectional view and the manufacturing processes of a second embodiment are shown in FIGs. A to C.

These figures are drawn in the same way as the first embodiment.

At step of FIG. 3A, on a same substrate 1 as the first embodiment, an NSCS 20 and
5 an overlying mask 21 were formed.

Then, using the mask 21 as a mask, the NSCS 20 was etched to provide recesses. This was done so in order to remove a part of the NSCS 20 beforehand so that the upper surface of the NSCS 20 may be in substantially the same plane as the upper surface of a semiconductor layer 25 having an n-type or p-type conductivity.

10 Then, on the upper surface of thus formed semiconductor layer 25, to enhance its electrical conductivity, a metal layer 39 was formed which is made of tungsten, molybdenum, nickel, or any other heat resisting metal. A nickel layer, for example, can be formed by activating its surface down to a thickness of 0.1 to 0.4 μ by the electroless plating method and then
15 dipping it into a plating liquid.

In the case where the semiconductor layer 26 is of a p-type conductivity, aluminum, which is a trivalent metal, may be formed to a thickness of 0.2 to 0.4 μ so as to decrease the effective sheet-resistance of the semiconductor layer.

Then, on the upper surface of the semiconductor layer 25, a field insulating material
20 31 was formed in the same way as the first embodiment, to obtain such a structure as shown in FIG. 3A.

As shown in FIG. 3B, the mask 21 was removed by the lift-off method. As a result,
the impurity layer 29 constituting the source, one end 37 of the impurity layer 30
constituting the drain, and the field insulating material 31 or one end of the conducting
25 film layer 30 could be self-aligned in formation and the interval between them could be decided based on the thickness of the semiconductor 25, to carry out high-precision alignment in the manufacturing processes.

Then, the gate insulating material 33 was formed in the same way as the first embodiment, to obtain such a structure as shown in FIG. 3B.

Then, as shown in FIG. 3C, electrode openings 32 and 32' were made in the field insulating material 31 and the gate electrode 35, the electrode, and the lead 32 were formed of aluminum, nickel, molybdenum, or other metal.

Also, on the upper surface of this structure, an inter-layer insulating material 65 may be formed to provide an electrode opening 66 and a layer-I wiring 67 as required.

Like in the first embodiment, in the second embodiment also, if the semiconductor layer 25 does not undergo selective etching, only three photo-masks were necessary and 10 four photo-masks, otherwise.

Besides, thus created semiconductor device features that in the NSCSs 20 and 25, the mask 21, the electrode 35, and the conductor 33 can all be formed at 500°C or less, especially at a low temperature of 250-350°C. It further features that necessary films can be accumulated one after another on the same substrate in manufacturing processes in 15 such a way that semiconductor layers, insulating materials, wherein metals and semiconductors may not react with the previously formed ones. In particular, the gate insulating material is formed on the NSCS. Since the gate electrode is formed in the last process, it is less subject to deterioration. Also, since the conductor layer 39 reacts with a p⁺-type or n⁺-type impurity layer, it enhances the conductivity. Also, since the electrode 20 opening 32 is formed after the gate insulating material is created, the gate electrode 35 can easily be connected to the source 29 and the drain 30 electrically, thereby making it easy to form inverters and other loads.

Third Embodiment

A third embodiment applied the first and the second embodiments in such a way that 25 a plurality of the above-mentioned semiconductors are arrayed in a matrix. As shown in the drawing, on a translucent substrate 1, IGFETs were arrayed in a fine manner, each of which was used as each element of an image sensor to eliminate the unnecessary space

between them.

FIG. 4A shows a semiconductor device according to the present invention. In the figure, IGFETs are arrayed in a matrix in such a manner as (1, 1), (2, 1), ... (m, 1), ..., (m, n), where m and n are arbitrary constants. The X-axis and the Y-axis of the matrix are connected to a decoder 81 and a driver 82 respectively. Also, for example, one IGFET 80 (1, 2) and another IGFET (1, 1) share the same source, thus eliminating unnecessary space between these two impurity layers. With this, this structure is excellent in use as an image sensor. Moreover, the IGFET (1, 2) shared the same impurity region 32 with the adjacent IGFET. In total, an region required to form IGFETs in a matrix can be reduced to 1/4 of that by the prior art, thus enabling integrating four times the number of cells by the prior art.

Vertical cross-sectional views of such an IGFET structure as taken along A-A' and B-B' are surmised in FIGS. 4b and 4C respectively. As shown from these figures, the IGFET 8 share the same impurity layers 29 and 30 as the adjacent IGFET. Also, the gate electrodes 35 and 35' serve also as a wiring 85 shown in FIG. 4A.

Since the NSCS has relatively low mobility as compared to single crystalline semiconductors, it is unnecessary to form an field insulating material between the IGFET 80 (1, 2) and another FET (2, 2), thereby facilitating the manufacturing processes and also miniaturizing each cell size.

It is effective to implant oxygen ions etc. into this region during the step of FIG. 2A to make it amorphous and insulate it so as to decrease its electrical conductivity.

When thus formed matrix structure was provided on a glass substrate, it was irradiated from the side of the substrate, so that by the decoder 81, logic 1 was stored in FETs 83 and 84 and logic 0, in other FETs 85, 86,, and, at the same time, by the decoder 82, logic 0 was stored in an FET 87 and logic 1, in other FETs 88 and 89, thus making it possible to detect a (1, 1) signal. Also, if logic 0 was stored in the FET 88 and logic 1, in others by the decoder 82, a (2, 1) optical signal could be detected, so that by

scanning gradually, the optical signal according to the addresses of the IGFETs in the image sensor matrix could be converted into electric signals.

Moreover, as shown in FIG. 1 for the prior art, the gate electrode was of such a structure as to block an incident light sent from the substrate side. According to the present invention, however, since the incident light directly irradiate semiconductors in a channel forming region to generate electrons and holes there, it is possible to further improve the detection sensitivity as the sensor.

Although the present invention has been described mainly with silicon, it can be applied to SiC_x ($0 < x < 1$), Si_3N_{4x} ($0 < x < 4$), and germanium and III - IV compounds.

10 4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a vertical cross-sectional view of a prior-art semiconductor device; and FIGs. 2 and 3 are vertical cross-sectional views of semiconductor devices according to the present invention.

FIGs. 4 are a circuit diagram in the case where an insulating gate-type field-effect semiconductor device according to the present invention is configured in a matrix and a vertical sectional view thereof.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-27365

⑫ Int. Cl.³

H 01 L 29/78
21/205
27/12
29/04

識別記号

厅内整理番号
7377-5F
7739-5F
8122-5F

⑬ 公開 昭和58年(1983)2月18日

発明の数 2
審査請求 有

(全 7 頁)

④ 半導体装置およびその作製方法

⑤ 特願 昭56-125004

⑥ 出願 昭56(1981)8月10日

⑦ 発明者 山崎舜平

東京都世田谷区北烏山7丁目21

番21号株式会社半導体エネルギー研究所内

⑧ 出願人 株式会社半導体エネルギー研究所

東京都世田谷区北烏山7丁目21番21号

明細書

1. 発明の名称

半導体装置およびその作製方法

2. 特許請求の範囲

1. 基板上に非単結晶半導体と該半導体の側面部に互いに隣接して一对の不純物層と前記半導体上にゲイト絶縁物と該絶縁物上にゲイト電極とが設けられたことを特徴とする半導体装置。

2. 基板上にチャネル形成領域を構成する非単結晶半導体と該半導体上にマスクを形成する工程と該マスクをおおうとともに前記基板上または前記半導体上に一導電型を有する半導体および該半導体層上にフィールド絶縁物を形成する工程と前記マスクおよび該マスクの外周辺の前記半導体層および前記フィールド絶縁物を除去して一对の不純物領域を形成する工程と前記チャネル形成領域上にゲイトを形成する工程とを有することを特徴とする半導体装置作製方法。

3. 特許請求の範囲第1項において、一对の不純物層に導電性金属が付けられたことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は基板上にアモルファス（無定形、非晶質、以下単に α -S という）、 $5\sim200\text{ \AA}$ の大きさのショートレンジオーダーの微結晶性を有するセミアモルファス（半非晶質、以下単に β -S という）および多結晶（以下単に γ -CS という）の構造を有する半導体であつて、特に水素またはフッ素、塩素の如きハロゲン元素が $0.01\sim10$ モルまたはリチニウム、ナトリニウムまたはカリニウムの如きアルカリ金属元素が $10\sim10^2$ cm^{-3} の濃度に含有されて再結合中心を中心とした非単結晶半導体（以下 NSCS という）を用いた絶縁ゲイト型電界効果半導体装置 ~~を応用~~ とした集積化構造に関する。

本発明はかかる基板上にプラズマ CVD 法等により蒸着形成される NSCS をその特性を利用して形成せんとするもので、その構造において

もまたその製造工程にサポートされた構造において従来の絶縁ゲート型電界効果半導体装置(以下單にIGFETという)に比べて、製造のし易さ、特性の安定性がきわめてすぐれたものとなつてゐる。さうに本発明の如く同一基板上に複数ヶをマトリックス構造にせしめたことによりイメージセンサ等の光電変換装置を単面面積あたり最大の効率的な構造、アレーで配置させることを特徴としている。

本発明は非単結晶半導体であるすなわちAl_xS_{1-x}PSを含むものであり、特にSASに関しては、本発明人の出願になる特許権(セミアモルファス半導体 特願昭56-065826 956.6.30出願、特願昭55-120322 855.8.30出願)に記されている。

すなわち半導体例えば注葉半導体における単結晶性を有さない特にアモルファス構造のガラス基板、多結晶構造のステンレス基板であつてもその電気一光伝導率がAM₁(100mW/cm²)の光エネルギーを与えた場合 $1 \times 10^{-8} \sim 8 \times 10^4$ (A/cm²)を有し、これらの値は単結晶注葉半導体の1/2～

させている。

この構造においてはゲート絶縁物即ちCVD法で形成されるため、高密度でなく、結果としてゲート電圧(3)と半導体(5)とがショート、リタクシやすく、そのため絶縁物即ち0.3μ以上と厚くしなければならぬ。結果としてゲート電圧は20～80Vと大きな電圧となり、いわゆる1.5～5Vの低電圧駆動が全く不可能である。

ゲート電圧(4)の両端と半導体(5)の両端とソース(6)、ドレイン(7)の一端を精密に位置合せすることがIGFETでは必要である。しかし基板上に凹凸がある状態で合せ精度1μ以内の高精度にて位置合せすることは全く不可能である。結果として20～30μものトランジスタを作つておき、そのためドレイン電圧も50～70Vと高くなり、また製造パラッキも大きくなつてしまい実用不可能であつた。さらに構造敏感性を有するいわゆるチャネル形成領域と接する半導体(5)の表面において、またはY型の導電型の不純物が0.5～2%もの多量にドープされた半導体が密着し、それを完全にニッティング除去しない限りこ

とが実験的に本発明人により見出されたものでその内容は、Appl. Phys. Lett. 38 (5), 1981 142～144, 1981 春季 第28回応用物理学年会講演会 1485 線結晶を含むIGFETの構造観察と光学的・電気的特性 422ページにその一部が発表されている。

従来アモルファス半導体を用いたIGFETとして第1図の如きて断面図を有する構造が知られている。第1図において絶縁基板(1)上にゲート電極(3)、即ち耐熱性材料例えばモリブデンにより作られている。さらにゲート絶縁膜(2)をCVD法により酸化珪素を0.1～0.5μの厚さに設ける。次にこの上面にAl_xS_{1-x}PS(5)を形成し、(5)、(6)のチャネル型ゲート上のみに選択ニッチをして形成する。さらにYチャネルIGFET即ちY型の半導体層(6)、(7)を選択的にフォトエッチ法を用いて形成し、またYチャネル型IGFET(2)に対してはアルミニウムを真空蒸着法で形成し選択ニッチをしてソース(6)、ドレイン(7)を作り第1図の如くc-MOS-FETを完成

の部分でソース(6)、ドレイン(7)がショートしてしまう。しかしこれはその下側の半導体(5)と同一主成分であるため選択ニッチがきわめて困難になつてしまつた。

さらにこの裏面が完成された第1図の構造になつても空気中に露呈するため構造敏感性を有する半導体主にSASにおいては全く信頼性において、また製造パラッキにおいて工芸的に実用不可能であつた。このような第1図の構造を用いることは全く不適当であつた。

本発明はチャネル形成領域のYSCSにおけるその下側、上側、側部のすべてを絶縁物または高不純物濃度を有する半導体でおおつており、この半導体としての構造敏感性を利用してゲートも精度よく制御することを特徴としている。そのため従来の40～80V駆動というのではなくゲート電圧、ドレイン電圧とも5～10V駆動が可能となり、さらに1.5V駆動もその構造において本質的に可能であるという特徴を有する。

さらに本発明はかかるIGFETが複数化しやすい構造を有するとともに、このIGFETをさ

らに高密度で集積化してマトリックス構造を有せしめた。さらにこの構造を基板に逆元性のガラスを用いることにより、基板側での光型式を映出するイメージセンサを設けることを特徴としている。

以下にその実施例を図面に従つて説明する。

実施例1

第2図は本発明のIGFETのたて断面図およびその製造工程を示す。

第2図(A)において基板(1)側が絶縁性でありかつ逆元性基板であるガラスまたは導電性基板であるステンレス上にNSCS層を0.1~1μの厚さでプラズマ気相法で形成した。このNSCSはシリコン(モノシリコンまたはポリシリコン)またはフッ化硅素をヘリニュームまたは水素で希釈し、0.01~10torr 例えば0.3torr の反応炉内に導びき、100~400°C 例えば300°Cに加熱された基板上に前記反応性気体に直流、高周波(500kHz~50MHz 例えば13.56MHz)またはマイクロ波(1~10GHz 例えば2.45GHz)の電磁エネルギーを5~200Wの出力を加えてグロー放電また

はアーケ放電を行わしめ、これら反応性気体およびヤカリニアガスをプラズマ化し、分解、反応せしめ、基板上に微結晶性を有する真性または実質的真性のNSCSを形成させたものである。

第2図(B)より明らかに如く、この発明において、ソース、ドレイン間を走れる電流は基板上面と平行方向である。このためこのNSCSの生成においてグローまたはアーケ放電の電極方向に基板表面を平行に配置し、横方向の電気伝導度が大きくなるよう行つた。

このNSCSは同一反応炉において生成温度の44性もあるが、出力により例えば5~30WはAS、20~30Wは中間領域、30~80WはSASとなり、また温度が400°C以上でかつ80W以上ではPCBと分類することができる。

特にASがショートレンジオーダのオーダリング(何らかの規則性)を有しているが結晶性を有さず、またSASは5~200Aのショートレンジオーダの大きさの結晶性を有するものである。これは硅素の不対結合手を中和させる水素フッ素の如きハロゲン元素による再結合中心中

和剤を0.01~5モル%添加されている。さらにこのSASの中和剤で相殺できていない不対結合手を10~10cmの濃度に中和するためリチニューム、ナトリニュームまたはカリニュームの如きアルカリ金属を10~10cmの濃度に添加して射線性、周波数特性の改善をしてよい。

このSASは電子導通 $1 \times 10^{-3} \sim 10^0$ (a/cm)を有し、また光伝導度はAM1の条件下にて $1 \times 10^{-8} \sim 8 \times 10^0$ (a/cm)を実験的に有していた。またASは電子導通 10^{-10} (a/cm)を有し、光伝導度は $10^{-3} \sim 10^0$ (a/cm)を有していた。

このAS、SASは実用上において使い分ければよい。

第2図(C)はマスク凹を1~5μの厚さに選択的に形成して、ここに第1つフォトマスク①を用いた。これは減圧プラズマ気相法により酸化珪素または耐熱性有機樹脂であるポリイミド膜、PIQであつてもよい。

さらにこのマスク凹を用いてNSCS凹の他部を除去した。

この後この上面に再びASまたはSASの半導

体層凹を0.1~1μの厚さで半導体層凹と同様のプラズマCVD法にて形成した。この時またPチャネルIGFETを作るため、PまたはN型の半導体層凹のそれぞれに対し、V価の不純物であるリン、I価の不純物であるホウ素を0.2~2%添加した。

さらに②のフォトマスクを用いてこの半導体層凹を集積化構造を作るため選択的に除去して半導体層凹に島状に基板上に形成してもよい。

かくして第1図(A)を得た。

第2図(D)は第1図(A)の構造にてマスク凹を超音波を駆使してエッチング液に長し除去した。すると領域凹と勿に一对を構成して一導電型の半導体層凹、(30)がソース、ドレインとして形成される。さらにこの上面にフイルド絶縁物(31)を酸化珪素またはポリイミド樹脂膜により0.1~1μの厚さに形成して第2図を得た。

この後ゲート絶縁物(33)をプラズマ酸化法にて300~2000Aの厚さに形成した。すなわち酸素または酸化性気体を2.45GHz(出力100~500W)のマイクロ波により分解、活性化し、こ

の活性化した酸化性気体中に基板を300~500°Cの温度にて設置して、この表面に酸化物等にSAB回が形成であつた時は酸化硅素膜を作製した。

このゲイト絶縁物はプラズマ気相法による塗化涅素、アルミナ膜等を形成してもよい。また2層、3層構造としても、不揮発性メモリを構成するため電荷捕獲中心としての半導体または金属のクラスタまたは膜を形成してもよい。これらは公知のIGFET、不揮発性メモリの技術に応用する変形要素である。

次に電極用コンタクト用開穴(32)のフィールド絶縁物を選択的に第2のフォトマスク④に上り除去した。

かくして第2図(c)を得た。

この後第2図(d)に示す如く、ゲイト電極(35)電極リード(36)をフォトマスク④と公知の真空蒸着法または無電界メフキ法により形成された被膜を選択的に除去して作製した。

かくしてIGFETを作つた。さらにニッチの配線を行うにはこの上面にP-I-N等の耐熱性有機樹脂(65)を塗付し、さらに電極芯(66)をフォト

マスク④を用い、さらに第2の配線(67)をフォトマスク⑤を用いて形成した。

図面より明らかなく、電極リードはすべてNSCSの上面に形成し、④を含めて下さい、④を含めない場合はわざか3まいのフォトマスクによりIGFETを作ることができた。加えて、ソース四、ドレイン(30)を構成する一对の不純物層はチャネル形成領域を有する半導体層④の側部を囲んでいる。また半導体層④はその下面上面とも基板(1)、ゲイト絶縁物(33)で囲まれており、構造敏感な半導体層④は外部に露出することがない。またゲイト電極(35)の両端(36)とソース四、ドレイン(30)の一端(37)とが交換効的にセルフアライン的に設けられ、ソース、ドレインゲイト絶縁物、ゲイト電極がすべて高精度に位置合せが可能であり、ゲイト電極(35)とドレイン(30)の重なり合せは1μ以下であるため、寄生容量が小さくNSCSであるにもかかわらず、10MHz以上の高速応答をさせることができた。

実施例2

この実施例は第3図にそのたて断面図と製造

工程を示してある。

図面は実施例1と同様の方法で作製した。

第3図(a)において実施例1と同様の基板(1)上にNSCS④とその上面にマスク④を形成した。

さらにこのマスク④をマスクとしてNSCS④を凹部を設けてエッティングした。これはNSCS④の上面とまたはN型の導電型を有する半導体層④の上面とが概略同一平面になるようならかじめNSCS④を一部除去したものである。

さらに半導体層④が形成した後この上面にこの半導体層の電気的導電性を効率するため、金属層(39)をタンクステン、モリブデン、ニッケル等の耐熱性金属により形成した。ニッケル等にあつては、無電界メフキ法によりこれらの上面に0.1~0.4μの厚さに表面を活性化してその後メフキ液に浸すことにより成長することができる。

半導体層④がN型の場合にはこれにアルミニウム等を0.2~0.4μの厚さに形成してその半導体層の実効的なシート抵抗を下げてもよい。

さらにこの上面にフィールド絶縁物(31)を実施例1と同様に形成して第3図(b)を得た。

第3図(b)に示す如く、マスク④をリフトオフ法により除去した。するとソースを構成する不純物層、ドレインを構成する不純物層(30)の一端(37)とフィールド絶縁物(31)または導電膜層(30)の一端とはセルフアライン的に形成され、その間隔は半導体層④の厚さにより決めることができ、製造工程的に容易に高精度位置合せを行うことができた。さらにゲイト絶縁物(35)を実施例1と同様に実施し、第3図(c)を得た。

次に第3図(c)に示す如く、フィールド絶縁物(31)に電極穴(32)(32)を設けた後、ゲイト電極(35)、電極、リード(32)を半導体またはアルミニウム、ニッケル、モリブデン等の金属により形成した。

さらに必要に応じこの上面に層間絶縁物(65)を設け、電極穴(66)、I層配線(67)を設けてもよい。

この実施例においても実施例1と同様に半導体層④の選択エッティングを行わない場合は④

い、また行う場合もくさいのフォトマスクで作ることができた。

さらにこの半導体装置は NSCS 四、四においてまたマスク四、電極(35)、導体(33)はすべて 500 °C 以下特に 250~350°C の低温で作ることを他の特徴としている。さらに製造工程が基板よりその上方に被覆を被覆することにより順序よく得られ、次の工程によりその前の工程で得られた半導体層、絶縁物等が金属と半導体とが反応して劣化しないように作られている点が特徴である。特にゲート下絶縁物は NSCS 上に設けられ、ゲート電極が最終工程であるため、劣化の可能性がない点、また逆に導体層(39)は P'または N' の不純物層と反応をおこさせていることによりより導電性を助長できる点、また電極穴⁽³⁵⁾がゲート絶縁物を形成した後作るためゲート電極(35)をソース四、ドレイン(30)に電気的に連絡することが容易であり、インバータ等の負荷等を作る場合有効である。

実施例 3

この実施例は実施例 1, 2 を応用して同一基

かかる IGFET の集積化構造のたて断面図を第 6 図(B), (C)に A-A', B-B' の断面を推定して示す。図面において明らかに如く、IGFET (B) の不純物層四、(30)はそれぞれとなりの IGFET の不純物層と一体化している。またゲート電極(35), (35')は(A)における配線(85)をかねている。

NSCS の導電部が単結晶半導体ほど大きくないため、IGFET (B0), (1, 2) と他の FET (2, 2)との間にフィールド絶縁物を作る必要がなく、その製造工程が容易であるばかりでなくひとつのセルサイズを小さくできるという特徴を有する。

この領域は特に第 2 図(A)の工程においてこの領域に対し酸素等をイオン注入し、この領域をアモルファス化するとともに絶縁化しての電気伝導率を減少させることは有効である。

かくの如きマトリックス構造をガラス基板上に有する場合、基板側より光照射が行われ、デコーグ(81)より (83), (84)に '1' が、他の (85), (86) ... は '0' が加えられ、またデコーグ(82)において (87) に '0' が他の (88), (89) に '1' が加えられると、

基板上に各領域をマトリックス状に配列したものである。図面は透光性基板上に IGFET を設けたが、これを細密配列しそれぞれの IGFET をイメージセンサの各要素とし、その要素間の無用の領域を除去したことを特徴としている。

第 6 図は本発明の半導体装置を示している。図面において IGFET は (1, 1), (2, 1), ... (n, 1) ... (n, n) (n, n は任意定数) とマトリックス構成をさせている。そのエミッタはそれぞれデコーグ、ドライバーである (81), (82) に連結されている。またひとつ IGFET (B0) (1, 2) のソースと他の IGFET (1, 1) のソースとが一体化し共通となつており、このふたつの不純物層間に不要スペースが全くない。このためイメージセンサとして用いるにはきわめてすぐれたものである。また IGFET (1, 2) の不純物領域 (32) はそのとなりの IGFET のそれとも一体化している。全体として従来 IGFET のマトリックス化に必要な面積が実効的に 1/4 にでき、逆に同一面積で 4 倍のセルを集積化できる。

(1, 1) 信号を検出することができる。さらにデコーグ(82)において (88) を '0'、他を '1' とすると、(2, 1) の光信号を検出でき、漸次走査することにより、このイメージセンサのマトリックス化された IGFET の番地に従つてその光信号を電気信号に変えることができた。

さらに従来第 1 図に示した例の如くゲート電極が基板側からの入射光をしゃへいしてしまった構造になっていた。しかし本発明においては入射光が直接チャネル形成領域の半導体を照射しそこで電子・ホールを発生させるため、そのセンサとしての検出感度をさらに向上できる。

本発明は主張を中心として記したが、SiC_x (0 < x < 1), Si_{1-x}N_x (0 < x < 1) であつてもまたゲルマニユーム、II-V 化合物に対しても応用することができる。

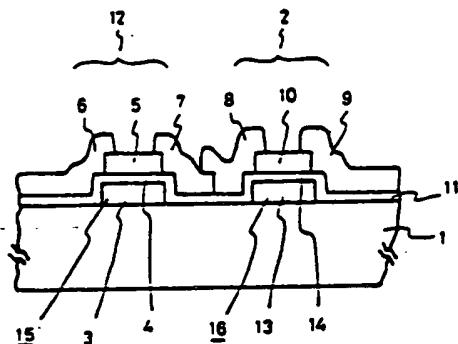
4. 図面の簡単な説明

第 1 図は従来の半導体装置のたて断面図である。

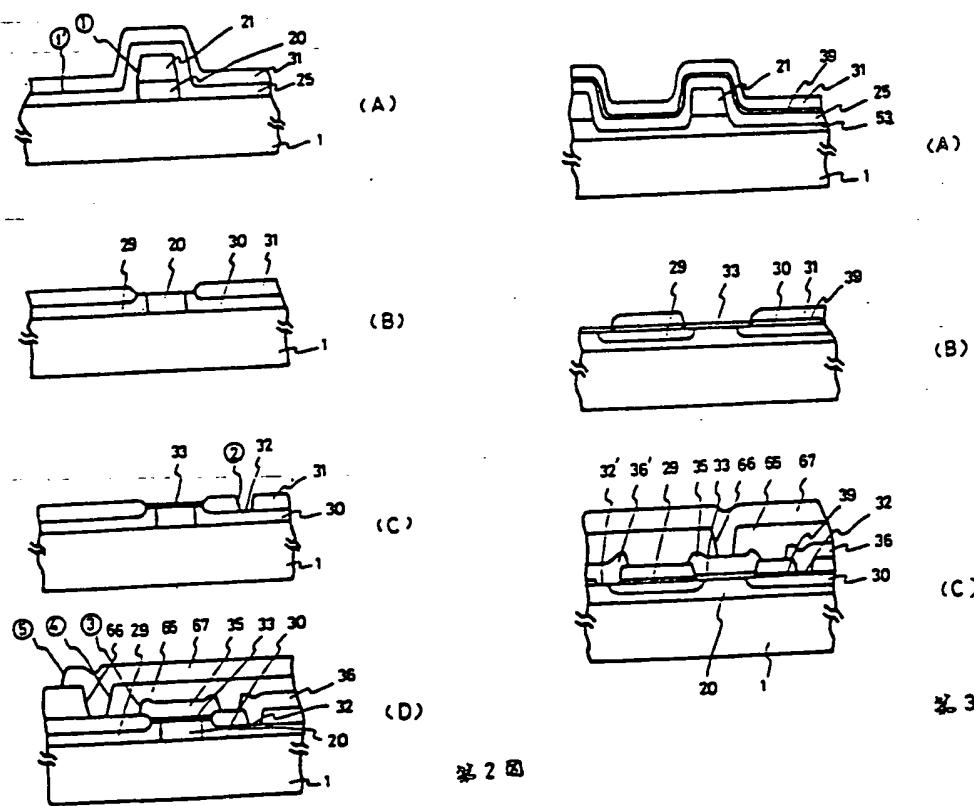
第 2 図、第 3 図は本発明の半導体装置のたて断面図である。

第6図は本発明の逆線ゲート型電界効果半導体素子をトランジスタ化した場合の回路図および半導体素子のたて断面図を示す。

特許出願人
株式会社半導体エネルギー研究所
代表者 山崎 舜 平三郎



第1回



第2回

